

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-311920

(43)Date of publication of application : 25.10.2002

(51)Int.Cl.

G09G 3/36  
G02F 1/133  
G09G 3/20

(21)Application number : 2001-120747

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

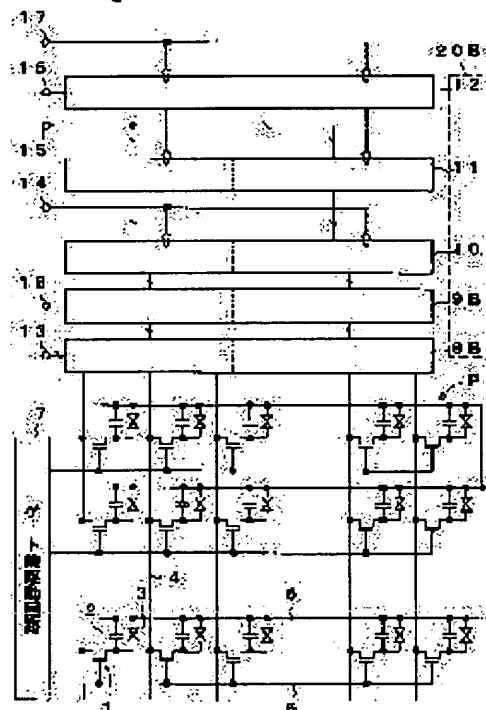
(22)Date of filing : 19.04.2001

(72)Inventor : TOMITANI HIROSHI

## (54) LIQUID CRYSTAL DISPLAY DEVICE, PICTURE DISPLAY APPLICATION EQUIPMENT AND PORTABLE INFORMATION TERMINAL EQUIPMENT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce power consumption of a D-A converter of a source line driving circuit in a liquid crystal display device comprised of a TFT liquid crystal panel.  
**SOLUTION:** The liquid crystal display device is composed of a liquid crystal panel P, a gate line driving circuit 7 and a source line driving circuit 20B. The source line driving circuit 20B has a shift register 12, a data latching circuit 11, a line-latching circuit 10, a D-A converter 9B, and multiplexer 8B, and generates pixel signals to a plurality of source electrodes 4. Then, during the period for switching the source electrodes, 4 the power source for the D-A converter 9B is cut off, and the power consumption of the source line driving circuit 20B is reduced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-311920  
(P2002-311920A)

(43) 公開日 平成14年10月25日 (2002. 10. 25)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 A 5 C 0 8 0
	6 1 2		6 1 2 G
			6 1 2 T

審査請求 未請求 請求項の数 5 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願2001-120747 (P2001-120747)

(22) 出願日 平成13年4月19日 (2001. 4. 19)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 富谷 央

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 100084364

弁理士 岡本 宜喜

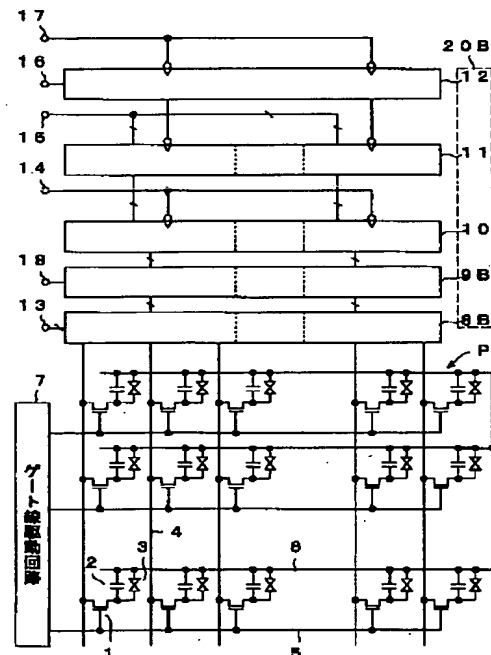
最終頁に続く

(54) 【発明の名称】 液晶表示装置、画像表示応用機器、及び情報携帯端末機器

(57) 【要約】

【課題】 TFT液晶パネルで構成される液晶表示装置において、ソース線駆動回路のD/Aコンバータの消費電力を低減すること。

【解決手段】 液晶表示装置が液晶パネルPとゲート線駆動回路7とソース線駆動回路20Bとで構成されるものとする。ソース線駆動回路20Bはシフトレジスタ12、データラッチ回路11、ラインラッチ回路10、D/Aコンバータ9B、マルチプレクサ8Bを有し、複数のソース電極4に対して画素信号を発生する。このときソース電極4を切りかえる期間に、D/Aコンバータ9Bの電源を遮断し、ソース線駆動回路20Bの消費電力を削減する。



## 【特許請求の範囲】

【請求項 1】 ( $N \times M$ ) の行列位置に形成された画素位置の各液晶セル、及び前記液晶セルを駆動するスイッチング素子を有する液晶パネルと、

前記液晶パネルのゲート電極を介して前記スイッチング素子の第 1 の制御入力端に走査信号を与えるゲート線駆動回路と、

前記液晶パネルの M 本のソース電極を介して前記スイッチング素子の第 2 の制御入力端に画素信号を与えるソース線駆動回路と、を具備する液晶表示装置であって、前記ソース線駆動回路は、

前記 M 本のソース電極を  $k$  個のグループに分割した  $m$  本のソース電極をソース電極群とすると、 $m$  個の画素データを一時記憶するラインラッチ回路と、

前記ラインラッチ回路から一斉に出力された夫々の画素データをアナログの画素電圧に変換する D/A 変換回路を  $m$  個有する D/A コンバータと、

前記 D/A コンバータから出力された  $m$  個の画素信号を入力し、前記  $k$  個のソース電極群のいずれかに順次切り替えて出力するマルチプレクサと、を有するものであり、

ソース電極群を切りかえる期間には前記 D/A コンバータの電源を遮断することを特徴とする液晶表示装置。

【請求項 2】 ( $N \times M$ ) の行列位置に形成された画素位置の各液晶セル、及び前記液晶セルを駆動するスイッチング素子を有する液晶パネルと、

前記液晶パネルのゲート電極を介して前記スイッチング素子の第 1 の制御入力端に走査信号を与えるゲート線駆動回路と、

前記液晶パネルの M 本のソース電極を介して前記スイッチング素子の第 2 の制御入力端に画素信号を与えるソース線駆動回路と、を具備する液晶表示装置であって、前記ソース線駆動回路は、

前記 M 本のソース電極を  $k$  個のグループに分割した  $m$  本のソース電極をソース電極群とすると、 $m$  個の画素データを一時記憶するラインラッチ回路と、

前記ラインラッチ回路から一斉に出力された夫々の画素データをアナログの画素電圧に変換する D/A 変換回路を  $m$  個有する D/A コンバータと、

前記 D/A コンバータから出力された  $m$  個の画素信号を入力し、前記  $k$  個のソース電極群のいずれかに順次切り替えて出力するマルチプレクサと、を有するものであり、

$M = k \times m$  本のソース電極に画素信号を与えた後の水平帰線期間には、前記 D/A コンバータの電源を遮断することを特徴とする液晶表示装置。

【請求項 3】 ( $N \times M$ ) の行列位置に形成された画素位置の各液晶セル、及び前記液晶セルを駆動するスイッチング素子を有する液晶パネルと、

前記液晶パネルのゲート電極を介して前記スイッチング

素子の第 1 の制御入力端に走査信号を与えるゲート線駆動回路と、

前記液晶パネルの M 本のソース電極を介して前記スイッチング素子の第 2 の制御入力端に画素信号を与えるソース線駆動回路と、を具備する液晶表示装置であって、

前記ソース線駆動回路は、

前記 M 本のソース電極を  $k$  個のグループに分割した  $m$  本のソース電極をソース電極群とすると、 $m$  個の画素データを一時記憶するラインラッチ回路と、

10 前記ラインラッチ回路から一斉に出力された夫々の画素データをアナログの画素電圧に変換する D/A 変換回路を  $m$  個有する D/A コンバータと、

前記 D/A コンバータから出力された  $m$  個の画素信号を入力し、前記  $k$  個のソース電極群のいずれかに順次切り替えて出力するマルチプレクサと、を有するものであり、

N 本のゲート電極に走査信号を与えた後の垂直帰線期間には、前記 D/A コンバータの電源を遮断することを特徴とする液晶表示装置。

20 【請求項 4】 請求項 1～3 のいずれか 1 項記載の液晶表示装置を搭載したことを特徴とする画像表示応用機器。

【請求項 5】 請求項 1～3 のいずれか記載の液晶表示装置を搭載したことを特徴とする情報携帯端末機器。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ソース線駆動回路の消費電力を低減した液晶表示装置と、この液晶表示装置を搭載した画像表示応用機器及び情報携帯端末機器とに関する。

【0002】

【従来の技術】図 4 に従来の薄膜トランジスタを用いた液晶表示装置の構成図を示す。液晶パネル P は、各画素の液晶を駆動する薄膜トランジスタ (TFT) 1、画素の蓄積容量 2、容量性の負荷である液晶セル 3、TFT 1 のソースに接続されたソース電極 4、TFT 1 のゲートに接続されたゲート電極 5、蓄積容量 2 と液晶セル 3 の対向電極とに接続された共通電極 6 を有している。

【0003】各液晶セル 3 は、液晶パネル P の ( $N \times M$ ) の行列位置に形成され、夫々の画素位置の光の透過率又は反射率を制御する。液晶パネル P を駆動する回路として、ゲート線駆動回路 7 とソース線駆動回路 20A とが設けられている。ゲート線駆動回路 7 はゲート電極 5 を介して TFT 1 の第 1 の制御入力端であるゲートに走査信号を与える回路である。ソース線駆動回路 20A はソース電極 4 を介して TFT 1 の第 2 の制御入力端であるゲートに画素信号を与える回路である。ソース線駆動回路 20A はマルチプレクサ 8A、D/A コンバータ 9A、ラインラッチ回路 10、データラッチ回路 11、シフトレジスタ 12 を含んで構成される。

【0004】ソース電極の総数をM本とすると、M本のソース電極をk個のグループに分割したm本のソース電極4をソース電極群と呼ぶ。

【0005】以下、従来の液晶表示装置のソース線駆動回路20Aの動作について説明する。ここでは $M = k \times m$ 個の画素データに対して、m個の画素データを同時に処理し、このような処理をk回繰り返すものとする。シフトレジスタ12はD/Aコンバータ9Aに対応する段数(m個)を有するシフトレジスタで、各段の出力はデータラッチ回路11のクロック入力端に接続される。シフトレジスタ12はシフトクロック17でシフトデータ16を順番にシフトさせ、データラッチ回路11での画像データを取り込むタイミングを制御する。

【0006】データラッチ回路11はD/Aコンバータ9Aに対応する段数を有し、各段のデータのビット幅は6ビット又は8ビットであり、これらのビット幅で濃淡表現されるm個のデジタル画像データ15をラッチする回路である。そしてシフトレジスタ12の出力タイミングでシリアルに転送される画像データがデータラッチ回路11に順次に取り込まれる。

【0007】ラインラッチ回路10もD/Aコンバータ9Aに対応する段数を有し、各段のデータのビット幅はデータラッチ回路11と同じく6ビット又は8ビットである。データラッチ回路11の各出力がラインラッチ回路10の各入力端に与えられると、ラインラッチ回路10はラッチ信号14(水平同期信号)のタイミングでデータラッチ回路11の出力データを読み込む。そしてラインラッチ回路10の各出力はD/Aコンバータ9Aの各入力端に与えられる。

【0008】D/Aコンバータ9Aはラッチ回路10の6ビット又は8ビットのデジタルのm個の画像データを入力し、ソース電極4を駆動するためのアナログの画素信号を発生する。

【0009】マルチプレクサ8は半導体スイッチからなる切り替え回路であり、D/Aコンバータ8の出力するm個の画素信号を入力し、制御信号13によってスイッチを切り替え、その出力先をk個のうち特定のソース電極群に対して出力する回路である。このように制御信号13によってk個のソース電極群が順次に切り替えられる。

【0010】これらのソース線駆動回路20Aの各素子はTFT1と同じ製造プロセスによって製造される。即ちソース線駆動回路20Aは、薄膜トランジスタからなるCMOS集積回路を同一ガラス基板上に形成したり、単結晶シリコンからなる集積回路をTFT1を含むガラス基板上にCOG実装することによって実現される。

【0011】従来の液晶表示装置のD/Aコンバータ9Aは、図5に示すようなD/A変換回路30がm段に並んだものである。図5において、D/A変換回路30はデジタル画像データ入力31が与えられると、アナログ

画像出力32に変換する。D/A変換回路30として、抵抗や容量を使ったラダー式のD/A変換器に、出力用のバッファアンプを接続したものが一般的に用いられる。バッファアンプはアナログオペアンプ回路で構成され、その動作のために常時バイアス電流を流して動作させている。このため、D/A変換回路30の消費電力が多い。

【0012】図6は従来の液晶表示装置の動作を示すタイミング図である。このタイミング図を用いて従来の液晶表示装置の動作を説明する。図6の信号51~55は1水平同期期間の動作を拡大して示したもので、信号56~58は1垂直同期期間の動作を示したものである。図6において、信号51、56は水平同期信号、信号52、53、54はマルチプレクサ8Aを制御する制御信号、信号55はD/Aコンバータ9Aの出力信号である。

【0013】従来の液晶表示装置の駆動方法では、D/Aコンバータ9Aの出力をマルチプレクサ8Aによってm個のソース電極4、即ちソース電極群について切り替え駆動を行っている。従来の液晶表示装置の1水平同期期間の動作において、D/Aコンバータ9Aは切り替え対象のソース電極群に対応する画像データを順に入力し、この濃淡画像データに応じたアナログ電圧を生成し、図6に示すような出力信号55を発生する。ソース電極群の数kに応じて1水平同期期間が分割され、アナログの駆動電圧として出力信号55が分割水平同期期間毎に所定のソース電極群に出力されるようになっている。

【0014】図6の信号52~54はマルチプレクサ8Aの制御信号であり、1水平同期期間でソース電極群を切りかえるようにマルチプレクサ8Aを制御する。そしてD/Aコンバータ9Aの出力信号をそのオン期間のソース電極群に出力する。図6において、信号52~54はHレベルのとき、マルチプレクサ8Aの夫々のソース電極4に対するスイッチがオンし、Lレベルのときにオフするようになっている。マルチプレクサ8Aの制御信号52~54がオンからオフに切り替わると、D/Aコンバータ9Aの出力はマルチプレクサ8Aがオフの間保持される。そして、ゲート電極5がオンになっている行のTFT1を通じて液晶セル3に画素信号が印加される。

【0015】図6に示すように、マルチプレクサ8Aの制御信号52、53、54は、2つ以上が共にオンになる期間が生じないようタイミングが制御される。このためどのスイッチもオフになるというデッドタイム期間を設定するのが一般的である。

【0016】図6の信号56~58は1垂直同期期間の動作を示したもので、ゲート線駆動回路7が夫々のゲート電極5を順に走査して、前述した水平同期期間の動作を行うことにより、液晶パネルPにおいてマトリクス表

示が行われる。

【0017】一般的に水平同期期間については、表示に有効な水平表示期間を含む水平同期期間に対して2割程度の水平帰線期間が設定されている。また、垂直同期期間については表示に有効な垂直表示期間を含む垂直同期期間に対して1割程度の垂直帰線期間が設定されている。従来の液晶表示装置では図6に示すように、マルチプレクサ8Aの制御信号がオフになるデッドタイム期間においても、D/Aコンバータ9Aは動作し、その出力信号を出している。

【0018】また図6において、D/Aコンバータ9Aの1水平同期期間における出力信号55のうち、例えば3番目の信号は、マルチプレクサ8Aの制御信号54がオフ(Lレベル)になっても、水平帰線期間のあいだ出力され続けている。また、D/Aコンバータ9Aの有効な垂直表示期間(valid data)を終えた後の垂直帰線期間においても、信号58で示すようにD/Aコンバータ9Aは動作し、その出力信号(invalid data)を出している。

【0019】

【発明が解決しようとする課題】以上のように従来の液晶表示装置では、マルチプレクサ8Aがオフ状態であり、D/Aコンバータ9Aの出力をソース電極4に出力していない期間においても、D/Aコンバータ9Aが動作しているため、D/Aコンバータ9Aの消費電力が多くなり、液晶表示装置の消費電力が多くなる原因の1つとなっていた。

【0020】本発明は、このような従来の問題点に鑑みてなされたものであって、D/Aコンバータの消費電力を低減することにより、低消費電力の液晶表示装置を実現することと、この液晶表示装置を搭載した画像表示応用機器及び情報携帯端末機器とを提供することを目的とする。

【0021】

【課題を解決するための手段】本願の請求項1の発明は、 $N \times M$ の行列位置に形成された画素位置の各液晶セル、及び前記液晶セルを駆動するスイッチング素子を有する液晶パネルと、前記液晶パネルのゲート電極を介して前記スイッチング素子の第1の制御入力端に走査信号を与えるゲート線駆動回路と、前記液晶パネルのM本のソース電極を介して前記スイッチング素子の第2の制御入力端に画素信号を与えるソース線駆動回路と、を具備する液晶表示装置であって、前記ソース線駆動回路は、前記M本のソース電極をk個のグループに分割したm本のソース電極をソース電極群とすると、m個の画素データを一時記憶するラインラッチ回路と、前記ラインラッチ回路から一斉に出力された夫々の画素データをアナログの画素電圧に変換するD/A変換回路をm個有するD/Aコンバータと、前記D/Aコンバータから出力されたm個の画素信号を入力し、前記k個のソース電

極群のいずれかに順次切り替えて出力するマルチプレクサと、を有するものであり、ソース電極群を切りかえる期間には前記D/Aコンバータの電源を遮断することを特徴とする。

【0022】本願の請求項2の発明は、 $(N \times M)$ の行列位置に形成された画素位置の各液晶セル、及び前記液晶セルを駆動するスイッチング素子を有する液晶パネルと、前記液晶パネルのゲート電極を介して前記スイッチング素子の第1の制御入力端に走査信号を与えるゲート線駆動回路と、前記液晶パネルのM本のソース電極を介して前記スイッチング素子の第2の制御入力端に画素信号を与えるソース線駆動回路と、を具備する液晶表示装置であって、前記ソース線駆動回路は、前記M本のソース電極をk個のグループに分割したm本のソース電極をソース電極群とすると、m個の画素データを一時記憶するラインラッチ回路と、前記ラインラッチ回路から一斉に出力された夫々の画素データをアナログの画素電圧に変換するD/A変換回路をm個有するD/Aコンバータと、前記D/Aコンバータから出力されたm個の画素信号を入力し、前記k個のソース電極群のいずれかに順次切り替えて出力するマルチプレクサと、を有するものであり、 $M = k \times m$ 本のソース電極に画素信号を与えた後の水平帰線期間には、前記D/Aコンバータの電源を遮断することを特徴とする。

【0023】本願の請求項3の発明は、 $(N \times M)$ の行列位置に形成された画素位置の各液晶セル、及び前記液晶セルを駆動するスイッチング素子を有する液晶パネルと、前記液晶パネルのゲート電極を介して前記スイッチング素子の第1の制御入力端に走査信号を与えるゲート線駆動回路と、前記液晶パネルのM本のソース電極を介して前記スイッチング素子の第2の制御入力端に画素信号を与えるソース線駆動回路と、を具備する液晶表示装置であって、前記ソース線駆動回路は、前記M本のソース電極をk個のグループに分割したm本のソース電極をソース電極群とすると、m個の画素データを一時記憶するラインラッチ回路と、前記ラインラッチ回路から一斉に出力された夫々の画素データをアナログの画素電圧に変換するD/A変換回路をm個有するD/Aコンバータと、前記D/Aコンバータから出力されたm個の画素信号を入力し、前記k個のソース電極群のいずれかに順次切り替えて出力するマルチプレクサと、を有するものであり、N本のゲート電極に走査信号を与えた後の垂直帰線期間には、前記D/Aコンバータの電源を遮断することを特徴とする。

【0024】本願の請求項4の画像表示応用機器は、請求項1～3のいずれか1項記載の液晶表示装置を搭載したことを特徴とする。

【0025】本願の請求項5の情報携帯端末機器は、請求項1～3のいずれか記載の液晶表示装置を搭載したことを特徴とする。

【0026】

【発明の実施の形態】以下、本発明の各実施の形態における液晶表示装置について、図面を参照しつつ説明する。図1は各実施の形態における液晶表示装置の全体構成図であり、従来例と同一部分は同一の符号を付け、詳細な説明を省略する。この液晶表示装置は、液晶パネルP、ゲート線駆動回路7、ソース線駆動回路20Bを有している。ゲート線駆動回路7はN本のゲート電極5を順次に駆動する回路である。ソース線駆動回路20BはM本のソース電極4をk個のソース電極群に分割して駆動する回路であり、マルチプレクサ8B、D/Aコンバータ9B、ラインラッチ回路10、データラッチ回路11、シフトレジスタ12を含んで構成される。

【0027】図2は各実施の形態におけるソース線駆動回路20Bに用いられるD/Aコンバータ9Bの要部構成を示す回路図である。このD/Aコンバータ9Bには、出力バッファの電源端子と電源ラインとの間にスイッチ43が設けられ、出力バッファと出力端との間にスイッチ44が設けられ、制御信号18によって閉制御される。

【0028】また図3は各実施の形態における液晶表示装置の動作を示すタイミング図であり、図6と同一信号名には同一の番号を付ける。信号51～55は1水平同期期間の動作を示し、信号56～58は1垂直同期期間の動作を示す。

【0029】（実施の形態1）このように構成された液晶表示装置において、本発明の実施の形態1における動作について説明する。本実施の形態ではマルチプレクサ8Bがソース電極4に対してD/Aコンバータ9Bの出力信号を与えていない期間にD/Aコンバータ9Bの動作を停止させる。このために、図1に示すようにD/Aコンバータ9Bに対して、動作停止の制御信号18を入力するようにした。

【0030】図3において、制御信号18はD/Aコンバータ9Bの動作を停止させる制御信号を示し、Hレベル時にD/Aコンバータ9Bの電源を遮断し、出力をハイインピーダンス（Hi-Z）にしている。また制御信号18のLレベル時にはD/Aコンバータ9Bは通常動作を行うものとする。

【0031】本実施の形態では、図3に示すように1水平期間において、マルチプレクサ8がオフの期間に制御信号18をHレベルにし、D/Aコンバータ9の動作を停止させた。またこれに合わせて、マルチプレクサ8Bがオンの期間においても、ソース電極4の充電時間を考慮して、制御信号18を、マルチプレクサ8Bのオン期間の先頭でHレベルにし、残りの期間をLレベルにし、ソース電極4を充電させるようにした。

【0032】VGA（640×480ドット）の液晶パネルPにおいて、例えばk=3個のソース電極群をマルチプレクサ8Bで駆動する場合を考える。この場合、垂直同

期信号の周波数を60Hzとし、水平同期信号の周波数を31.5KHzとする。この条件下で有効表示期間を25.4μsとし、この有効表示期間でマルチプレクサ8Bをスイッチングさせるように、マルチプレクサのオン期間を7.5μsに設定し、オフ期間を1μsに設定した。こうして駆動させたところ、液晶表示装置の表示は正常であった。このとき、従来のものに比べて、1水平期間の31.7μsに対して各マルチプレクサ8Bの切り換え期間が3回あるとして、これらの3μsの期間においてD/Aコンバータ9Bを停止させたところ、約10%の消費電力の削減が実現された。

【0033】また、本実施の形態では、これに加えて、マルチプレクサ8Bのオン時間7.5μsに対して、ソース電極4の充電時間を考慮してD/Aコンバータ9Bの動作期間を6.5μsにして駆動させたが、液晶表示装置の表示は正常であった。このときの消費電力は従来のものに比べて約38%の削減が実現された。

【0034】（実施の形態2）次に本発明の実施の形態2における液晶表示装置の動作について説明する。図3に示すように、1水平期間内の水平帰線期間についてD/Aコンバータ9Bの動作を停止させた。この場合、制御信号54の発生終了後には制御信号18をHレベルにし、この間のD/Aコンバータ9Bの動作を停止させた。

【0035】VGA（640×480ドット）の液晶パネルPにおいて、例えば3つのソース電極群をマルチプレクサ8Bで駆動する場合を考える。この場合、垂直同期信号の周波数を60Hzとし、水平同期信号の周波数を31.5KHzとする。この条件下で、水平帰線期間の6.3μsについてD/Aコンバータ9Bの動作を停止させて駆動させたが、液晶表示装置の表示は正常であった。このときの消費電力は、1水平期間の31.7μsに対して水平帰線期間を6.3μsとすると、従来のものに比べて約20%の削減が実現された。

【0036】（実施の形態3）次に本発明の実施の形態3における液晶表示装置の動作について説明する。本実施の形態3では、1垂直期間内の垂直帰線期間について、図3に示すような制御信号18をD/Aコンバータ9Bに与えることにより、D/Aコンバータ9Bの動作を停止させた。

【0037】VGA（640×480ドット）の液晶パネルPにおいて、例えば3つのソース電極群をマルチプレクサ8Bで駆動する場合を考える。この場合、垂直同期信号の周波数を60Hzとし、水平同期信号の周波数を31.5KHzとする。このような条件下で、垂直帰線期間の1.5msについてD/Aコンバータ9Bの動作を停止させるよう駆動したが、液晶表示装置の表示は正常であった。このときの消費電力は、従来のものに比べて、1垂直期間16.6msに対して水平帰線期間が1.5msとすると、約10%の削減が実現された。

【0038】なお、実施の形態1、実施の形態2、実施の形態3の制御方法を併用すると、液晶表示装置の電力低減効果は一層大きくなる。

【0039】以上のような液晶表示装置を画像表示応用機器や情報携帯端末機器に用いることができる。電池で駆動されるノートパソコン等の画像表示応用機器、又はPDA、携帯電話等の情報携帯端末機器においては、1回の充電に対する電池寿命が携帯機器の評価対象となる。このような場合、本発明は電池の長寿命化の有力な手段となる。

【0040】

【発明の効果】以上のように本発明の液晶表示装置によれば、D/Aコンバータの電力をその動作に必要な期間で低減することにより、低消費電力の液晶表示装置を実現することが可能になる。またこのような液晶表示装置を、電池駆動の画像表示応用機器や情報携帯端末機器に搭載すれば、一回の電池の充電に対する機器の稼働時間は長くなる。

【図面の簡単な説明】

【図1】本発明の実施の形態における液晶表示装置の構成図

【図2】本発明の実施の形態に用いられるD/Aコンバータの構成図

【図3】本発明の実施の形態における液晶表示装置の動作を示すタイミング図

\*

\*【図4】従来の液晶表示装置の構成図

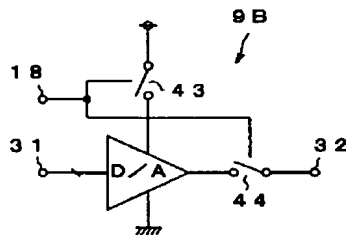
【図5】従来の液晶表示装置に用いられるD/Aコンバータの構成図

【図6】従来の液晶表示装置の動作を示すタイミング図

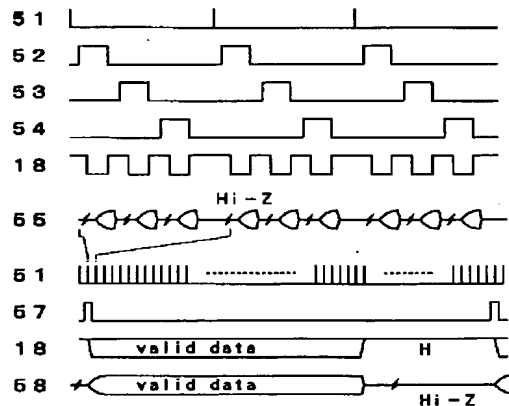
【符号の説明】

- 1 薄膜トランジスタ(TFT)
- 2 蓄積容量
- 3 液晶セル
- 4 ソース電極
- 5 ゲート電極
- 6 共通電極
- 7 ゲート線駆動回路
- 8 マルチプレクサ
- 9A, 9B D/Aコンバータ
- 10 ラインラッチ回路
- 11 データラッチ回路
- 12 シフトレジスタ
- 13 マルチプレクサの制御信号
- 14 ラッチ信号
- 15 デジタル画像データ
- 16 シフトデータ
- 17 シフトクロック
- 18 D/Aコンバータの制御信号
- 30 D/A変換回路

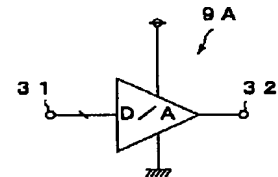
【図2】



【図3】

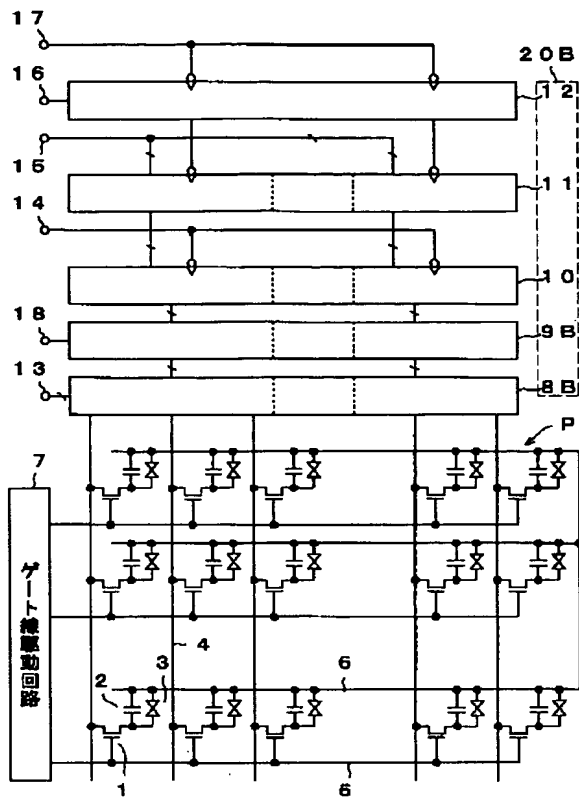


【図5】

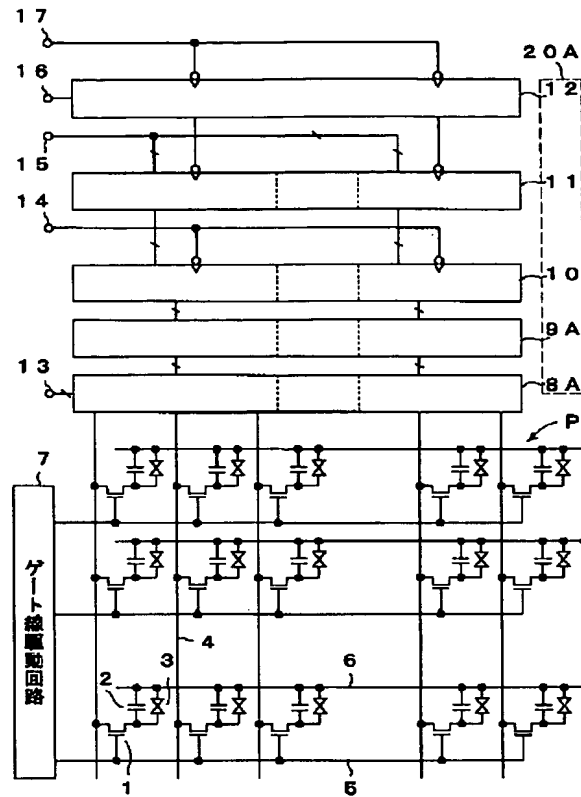




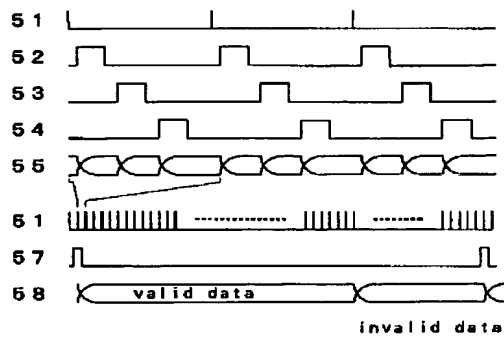
【図1】



【図4】



【図6】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

G09G 3/20

識別記号

623

FI

G09G 3/20

テーマコード (参考)

623F

623G

623R

680T

680

F ターム(参考) 2H093 NA16 NA41 NC22 NC26 NC34  
ND39 NE01  
5C006 AF68 AF69 AF73 AF82 BB16  
BC12 BF03 BF04 BF24 FA47  
5C080 AA10 BB05 DD26 FF11 JJ02  
JJ03 JJ04